

BEST AVAILABLE COPY

EXPEDITED PROCEDURE
Examining Group Number 2826

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Michael Bauer et al.	Examiner:	Ahmed N. Sefer
Serial No.:	10/789,033	Group Art Unit:	2826
Filed:	February 27, 2004	Docket:	1431.103.101/FIN 423 US
Title:	ELECTRONIC COMPONENT AND SEMICONDUCTOR WAFER, AND METHOD FOR PRODUCING THE SAME		

DECLARATION OF PRIOR INVENTION UNDER 37 C.F.R. § 1.131

Mail Stop AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

This Declaration is submitted to establish prior invention of the subject matter of the present patent application. The person making this Declaration is one of the inventors, Michael Bauer.

Accompanying this Declaration is the Declaration of Dr. Horst Schäfer; Invention Disclosure 2002E16516DE; and Translation of Invention Disclosure, which collectively establish conception of the subject matter of the present patent application prior to the effective reference date of January 16, 2003 of Yamaguchi U.S. Patent Publication 2004/0157410 and due diligence from prior to the effective reference date to the filing date of February 27, 2003 of the priory German Patent application (i.e., constructive reduction to practice), on which the present U.S. patent application is based.

Invention Disclosure 2002E16516DE was drafted by the inventors at least by August 6, 2002, and was drafted by the inventors in German. This invention disclosure describes the subject matter of the present patent application. The Translation of the Invention Disclosure was provided by our German patent attorney Dr. Horst Schäfer, and it translates Invention Disclosure 2002E16516DE from German into English. The invention disclosure details the invention.

For example, in section 3 (page 2 of Invention Disclosure 2002E16516DE and page 1 of the Translation of the Invention Disclosure) discusses relocating the contacts to the four sides edges of the chip. In addition, pages 7-9 of Invention Disclosure 2002E16516DE are figures 1-7

DECLARATION OF PRIOR INVENTION Under 37 C.F.R. 1.131

Applicant: Michael Bauer et al.

Serial No.: 10/789,033

Filed: February 27, 2004

Docket No.: I431.103.101/FIN 423 US

Title: ELECTRONIC COMPONENT AND SEMICONDUCTOR WAFER, AND METHOD FOR PRODUCING THE SAME

("Bild 1-7") that support the various Figures of the present application. For example, Figures 1-2 and 6 of the present application are generally illustrated in figure 2 ("Bild 2") on page 7 of Invention Disclosure 2002E16516DE. Figures 3-5 of the present application are generally illustrated in figure 1 ("Bild 1") on page 7 of Invention Disclosure 2002E16516DE. Also, Figures 7-11 are generally illustrated in figures 4-6 ("Bilder 4-6") on page 7 of Invention Disclosure 2002E16516DE.

Accordingly, Invention Disclosure 2002E16516DE establishes conception of the subject matter of the present patent application prior to the effective reference date of January 16, 2003 of the Yamaguchi U.S. Patent Publication 2004/0157410.

The attached Declaration of Dr. Horst Schäfer is from the patent attorney assigned to prepare the German priority application on which the present patent application is based. The declaration details the activities of Dr. Schäfer from at least August 2002 through at least January 2003 directed toward the preparation and filing of the patent application. Accordingly, the declaration establishes diligence from prior to the effective reference date of January 16, 2003 of Yamaguchi U.S. Patent Publication 2004/0157410 to the filing date of the German priority application on which the present patent application is based.

As such, it can be seen that the subject matter of the present patent application was conceived prior to the effective reference date of January 16, 2003 of Yamaguchi U.S. Patent Publication 2004/0157410 and was coupled with due diligence from prior to the effective reference date to the filing date of the present patent application (i.e., constructive reduction to practice).

DECLARATION OF PRIOR INVENTION Under 37 C.F.R. 1.131

Applicant: Michael Bauer et al.

Serial No.: 10/789,033

Filed: February 27, 2004

Docket No.: 1431.103.101/FIN 423 US

Title: ELECTRONIC COMPONENT AND SEMICONDUCTOR WAFER, AND METHOD FOR PRODUCING THE SAME

As a person signing below, I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Name: Michael Bauer
Michael BauerDate: 20.12.2005

VertraulichBitte verschlossen
weitersegnen!**ERFINDUNGSMELDUNG**

an Siemens AG bzw. Beteiligungsgesellschaft

Bereits vorab an ZT PA übermittelt per FAX ☐

Wenn ja - bitte u n d e r i n g t r a n k r e i z e h l .

Aktenzeichen der PA

1002 E 16516 DE

Ich/Wir (vor- und Nachname der/des Erfinders) - weitere Angaben und Unterschrift(en) (letzte Seite)

Anzahl der

Erfinder:

8

Datum der Ausfertigung:

06.08.2002

Other Gerald,
Bauer Michael, Bemmerl Thomas, Fink Markus, Fuergut Edward,
Jerebic Simon, Strobel Peter, Vilsmeier Hermann

melde(n) hiermit die auf den folgenden Seiten vollständig beschriebene Erfindung mit der Bezeichnung:

Semiconductor chip with side contacts

Halbleiterchip mit Seitenkontakten

I. An Vorgesetzten der/des Erfinder[s]Herrn/Frau Herr Dr. Schwarz

CAT AIT LP

(Dienststelle)

mit der Bitte, die nachstehenden Fragen zu beantworten:

a) Wann ging die Erfindungsmeldung bei Ihnen ein? \longrightarrow

b) Geht die Erfindung auf öffentlich geförderte Arbeiten zurück?

☒ nein ☐ ja, Vorhaben: _____

c) Gibt es ein zugehöriges internes FuE-Projekt?

☒ nein ☐ ja, Projekt: _____

Eingang am:

14/11/02

Ab Eingang läuft gesetzliche Frist!

Nur bei ZT-Erfindungen auszufüllen:

Projekt-Nr. _____ Titel: _____

Kerntechnologie: _____

☐ Entwicklungs-
projekt
☐ Forschungs-
projekt

im Interesse von Bereich: _____

Ansprachpartner: _____

d) Anmeldung wird empfohlen

☐ nein☒ ja

Dringlichkeitsvermerk

Kosten trägt (Organisationseinheit): _____

☐ Die Erfindung betrifft nicht unser Interessengebiet. Es sind noch folgende
Dienststellen zu befragen: _____14/11/02
(Datum)

(Unterschrift des Vorgesetzten)

Eingang am:

II. Bitte wegen gesetzlicher Frist sofort weiterleiten anSiemens AG
ZT PA (Patentabteilung)Standort: _____
(z.B.: Mch/M, Erl/S, Bln/N, Kha/R, Pdb)

zur weiteren Veranlassung.

CT IPS AM Mch P/RI

Eing. 01. Okt. 2002

GR
FristDocket No. I431.103.101/FIN 423 US
Invention Disclosure 2002E16516DE (in German)

1. Welches technische Problem soll durch Ihre Erfindung gelöst werden?

Die Erfindung löst das Problem der Kontaktierung / elektr. Verbindung zwischen Chip und der Anwender-Platine (PCB) oder Modul-Platine. Dabei wird von der herkömmlichen Lösung (Zwischenschritt über Packaging) abgewichen und der Chip direkt mit dem PCB verbunden.

2. Wie wurde dieses Problem bisher gelöst?

Die elektr. Verbindung wurde bisher entweder über den Zwischenschritt des Packaging (QFP, BGA, QFN,...) oder durch WireBond on Board bzw. FlipChip on Board realisiert. Die beiden letzteren Lösungen sind dadurch charakterisiert, dass die Kontaktflächen bzw. Bumps auf der aktiven Chipoberfläche zu liegen kommen.

3. In welcher Weise löst Ihre Erfindung das angegebene technische Problem (geben Sie Vorteile an)?

Die Erfindung basiert auf der Grundlage die Kontakte auf die vier Seitenkanten des Chips zu verlagern. Diese Kontakte (Castellations) können im Waferverbund z.B. folgendermassen hergestellt werden (siehe Bild 1): ätzen der Kontaktlöcher, plating der Kontaktlöcher, ev. Auffüllen der Kontaktlöcher mit Lotmaterial, singulieren des Wafers.

Das Auffüllen der Kontaktlöcher mit Lot kann auf verschiedene Arten erfolgen: Entweder durch Schablonendruck (Lotpaste wird über den Wafer in die Kontaktlöcher gerakelt und danach umgeschmolzen), oder aber auch durch einrakeln von Preformed Solderballs in die Kontaktlöcher (und anschliessenden Umschmelzen des Lotes).

Nach dem singulieren des Wafers (Sägespur mittig durch die Kontaktlöcher) ist der Chip fertig für die jeweilige Weiterverarbeitung (mit oder ohne Lotdepot in den Kontakten) – siehe Bild 2.

Dieser Chip kann nun auf verschiedenste Arten auf dem PCB kontaktiert werden: In einem Kontaktsockel mit entsprechenden Seitenkontakten (siehe Bild 3), auflöten des Chips in lateraler Ebene auf Kontaktpads mit oder ohne Lot (siehe Bild 4), wie Bild 4 jedoch in Kombination mit WB und ev. Vollflächiger Rückseiten Lötung (siehe Bild 5), auflöten des Chips in senkrechter Ebene (siehe Bild 6) oder in der Anwendung für Stacked chips (siehe Bild 7).

Der mechanische bzw. Schutz vor Umwelteinflüsse kann einerseits durch montieren des Chips mit aktiver Seite nach unten, und zusätzlich noch durch aufbringen eines Schutzlackes auf das PCB erfolgen.

4. Worin liegt der erfindersche Schritt?

Der erfindersche Schritt liegt in der Anwendung von senkrechten Kontaktlöcher auf SI-Chips. Dabei kann man folgende Vorteile gegenüber herkömmlichen Packages erreichen:

- Vermeidung von zusätzlichen Packaging Materialien
- da keine zusätzlichen Materialien verwendet werden, auch keine MSL Probleme
- Vermeidung von parasitären Kontaktwegen
- direkte Verarbeitung mit Standard SMT Prozessen möglich
- direkte Kombination von WB und Lötkontakten möglich
- senkrechte Kontaktierung von Chips möglich (Spelcher, LED's,...)
- leichte Stapelbarkeit von Chips (Spelcher,...)

BEST AVAILABLE COPY

7. Welche Dienststellen sind an der Erfindung interessiert? WS, COM, AI, CC

8. Wurde die Erfindung bereits erprobt (Durchführung von Versuchen, Anfertigung von Mustern)?

☒ nein ☐ ja; Ergebnis: _____

9. Für welche Erzeugnisse ist die Erfindung anwendbar? Mass market and high performance market

10. Ist die Anwendung der Erfindung vorgesehen?

☐ nein ☐ ja, bei: _____

11. Ist ein auf der Erfindung beruhendes Erzeugnis geliefert oder ist eine Lieferung beabsichtigt?

☒ nein ☐ ja, (voraussichtlich) am _____; Bezeichnung des Erzeugnisses: _____

12. Ist eine Veröffentlichung der Erfindung beabsichtigt oder bereits erfolgt?

☒ nein ☐ ja, (voraussichtlich) am _____ In Buch, Zeitschrift: _____

13. Ist eine Mitteilung der Erfindung an Firmenfremde beabsichtigt oder bereits erfolgt?

☒ nein ☐ ja, (voraussichtlich) am _____ an _____

14. Es wird gebeten, soweit möglich, die folgenden Kriterien abzuschätzen:

a Umgehungsschwierigkeit für Wettbewerber

Gleichwertige Alternativen

☒ praktisch nicht realisierbar

☐ erfordern Aufwand

☐ problemlos realisierbar

b Benutzungsattraktivität für Wettbewerber

Wettbewerberinteresse

☒ überragend

☐ durchschnittlich

☐ minimal

c Nachweis einer Wettbewerbernutzung

Benutzungsnachweis

☒ problemlos möglich

☐ aufwendig

☐ praktisch unmöglich

u Benutzung im Hause

☐ (voraussichtlich) ja

☒ offen

☐ unwahrscheinlich




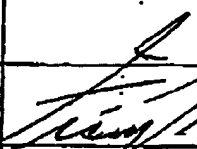
BEST AVAILABLE COPY

Blatt 4/5

Aktenzeichen der PA

2002 E 16516 DE

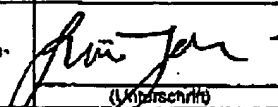

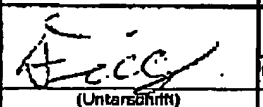

15. Angaben zur Person des/der Erfinder[s] (Erfinder 1 - 4 hier eintragen. Für weitere Erfinder bitte Zusatzblatt beifügen):

Name	Bauer	Strobel	Ofner	Fürgut
Geburtsname				
Vorname	Michael	Peter	Gerald	Edward
APD/Personalnummer*)	00633988	00633905	00634108	00634136
Ist dies Ihre erste Erfindungs- meldung an ZT PA?	ja <input type="checkbox"/> x nein	ja <input type="checkbox"/> x nein	ja <input type="checkbox"/> x nein	ja <input type="checkbox"/> x nein
akad. Grad/Titel/Beruf	Dipl. Ing.		Dipl. Ing.	
zum Zeitpunkt der Erfindung: Werk- stud./Diplomand/Doktorand	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen
Tätigkeit/Stellung im Betrieb (z.B. Laborvorsteher u.ä.)				
Arbeitgeber falls nicht Siemens AG	Infineon Techn. AG	Infineon Techn. AG	Infineon Techn. AG	Infineon Techn. AG
Reich	CAT	CAT	CAT	CAT
Abteilung	CAT AIT LP PI	CAT AIT LP PI	CAT AIT LP PI	CAT AIT LP PI
Standort	Regensburg	Regensburg	Regensburg	Regensburg
Telefon (Amt)	0941-202-3747	0941-202-2007	0941-202-1760	0941-202-3846
Telefax (Amt)	0941-202-2406	0941-202-2405	0941-202-2405	0941-202-2405
E-Mail	michael.bauer@infineon.com	Peter.strobel@infineon.com	gerald.ofner@infineon.com	edward.fuergut@infineon.com
Staatsangehörigkeit (falls nicht deutsche)		deutsch	österreich	
Privatanschrift: Straße, Haus-Nr.	Praschweg 7	Weissgerbergraben 4	Wilhelm-Busch-Str. 5	Ligusterweg 2
Postleitzahl, Wohnort	93049 Regensburg	93047 Regensburg	93077 Bad Abbach	86453 Dasing
Geburtsdatum	17.10.1969	24.10.58	13.03.1968	22.01.1973
3. Liegt die Erfindung auf a) Ihrem Arbeitsgebiet? b) einem anderen Arbeitsge- biet Ihres Arbeitgebers?	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein
17. Welchen Anteil an der Erfindung haben Sie?	12,5 %	12,5 %	12,5 %	12,5 %
18. Wurde oder wird die Erfin- dung auch als VV gemeldet?	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja x nein
19. Falls Sie die Erfindung als freie Erfindung an- sehen, bitte begründen:				
20. Meines/Unseres Wissens sind keine weiteren Per- sonen an der Erfindung be- teiligt.	 (Unterschrift)	 (Unterschrift)	 (Unterschrift)	 (Unterschrift)

*) Bitte aus Firmenausweis oder Gehaltsabrechnung entnehmen.

BEST AVAILABLE COPY

15. Angaben zur Person des/der Erfinder[s] (Erfinder 5 - 8 hier eintragen. Für weitere Erfinder bitte Zusatzblatt beifügen):

Name	Jerebic	Bemmerl	Fink	Vilsmeyer
Geburtsname				
Vorname	Simon	Thomas	Markus	Hermann
APD/Personalnummer*)	00634353	00634282	00634370	00634220
Ist dies Ihre erste Erfindungs- meldung an ZT PA?	ja <input type="checkbox"/> <input checked="" type="checkbox"/> nein	ja <input type="checkbox"/> <input checked="" type="checkbox"/> nein	ja <input type="checkbox"/> <input type="checkbox"/> nein	ja <input type="checkbox"/> <input checked="" type="checkbox"/> nein
akad. Grad/Titel/Beruf	Dipl. Ing.	Dipl. Ing.	Dipl. Ing.	Dipl. Ing.
zum Zeitpunkt der Erfindung: Werk- stud./Diplomand/Doktorand	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen	ja <input type="checkbox"/> bitte Vertrags- kopie beifügen
Tätigkeit/Stellung im Betrieb (z.B. Laborvorsteher u.ä.)				
Arbeitgeber falls nicht Siemens AG	Infineon Technologies AG	Infineon Technologies AG	Infineon Technologies AG	Infineon Technologies AG
Land	CAT	CAT	CAT	CAT
Abteilung	CAT AIT LP PT	CAT AIT LP	CAT AIT SIM	CAT AIT LP PT
Standort	Regensburg	Regensburg	Regensburg	Regensburg
Telefon (Amt)	0941-202-1773	0941-202-7210	0941-202-7003	0941-202-7277
Telefax (Amt)	0941-202-2405	0941-202-3881	0941-202-2884	0941-202-2405
E-Mail	simon.jerebic@infineon.com	Thomas.bemmerl@infineon.com	Markus.fink2@infineon.com	Hermann.vilsmeyer@infineon.com
Staatsangehörigkeit (falls nicht deutsche)	Slowenien			
Privatschrift: Straße, Haus-Nr.	Hermann-Köhl-Str. 14	Am Getelner 3	Kothof 5	Flößnerstr. 14
Postleitzahl, Wohnort	93049 Regensburg	92421 Schwandorf	93189 Zell	93059 Regensburg
Geburtsdatum	24.12.1972	13.12.1969	19.09.1975	27.07.1969
3. Liegt die Erfindung auf a) Ihrem Arbeitsgebiet? b) einem anderen Arbeitsge- biet Ihres Arbeitgebers?	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	x ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	<input checked="" type="checkbox"/> ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein
17. Welchen Anteil an der Erfindung haben Sie?	12,5 %	12,5 %	12,5 %	12,5 %
18. Wurde oder wird die Erfin- dung auch als VV gemeldet?	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja x nein	<input type="checkbox"/> ja <input checked="" type="checkbox"/> nein
19. Falls Sie die Erfindung als freie Erfindung an- sehen, bitte begründen:				
20. Mithin/unsere Wissens- schaft sind keine weiteren Per- sonen an der Erfindung be- teiligt.	 (Unterschrift)	 (Unterschrift)	 (Unterschrift)	 (Unterschrift)

*) Bitte aus Firmenausweis oder Gehaltsabrechnung entnehmen.

BEST AVAILABLE COPY

Erfindungsmeldungs - Check

Formal:

- | | | |
|---|------------------|-----------------|
| <input type="checkbox"/> EM von Erfindern unterschrieben? | <u>Ja</u> / Nein | Kommentar _____ |
| <input type="checkbox"/> Falls Nicht-IT-Erfinder beteiligt:
Kooperationsvertrag beigelegt? | Ja / <u>Nein</u> | Kommentar _____ |
| <input type="checkbox"/> Englischer Titel vorhanden? | <u>Ja</u> / Nein | Kommentar _____ |
| <input type="checkbox"/> S/W Version vorhanden? | <u>Ja</u> / Nein | Kommentar _____ |

Fachlich:

- | | | |
|--|------------------|-----------------|
| <input type="checkbox"/> Idee auf grundlegendes Prinzip reduziert? | <u>Ja</u> / Nein | Kommentar _____ |
| <input type="checkbox"/> Redundanz vermieden? | <u>Ja</u> / Nein | Kommentar _____ |
| <input type="checkbox"/> Stand der Technik ausreichend zitiert? | <u>Ja</u> / Nein | Kommentar _____ |
| <input type="checkbox"/> Patentdatenbank IPAS durchsucht? | <u>Ja</u> / Nein | Kommentar _____ |

Suchbegriffe: H01L % H01R % H05K
Chip % die
Side contact % catellations % castellation

-> 24 Treffer, keiner relevant (Kontaktföcher beziehen sich immer auf Keramiken oder sonstige Substrate, jedoch nie auf den SI-chip)

BEST AVAILABLE COPY

Blatt 3/8

Aktenzeichen der GR

5. Ausführungsbeispiele der Erfindung.

Bild 1:

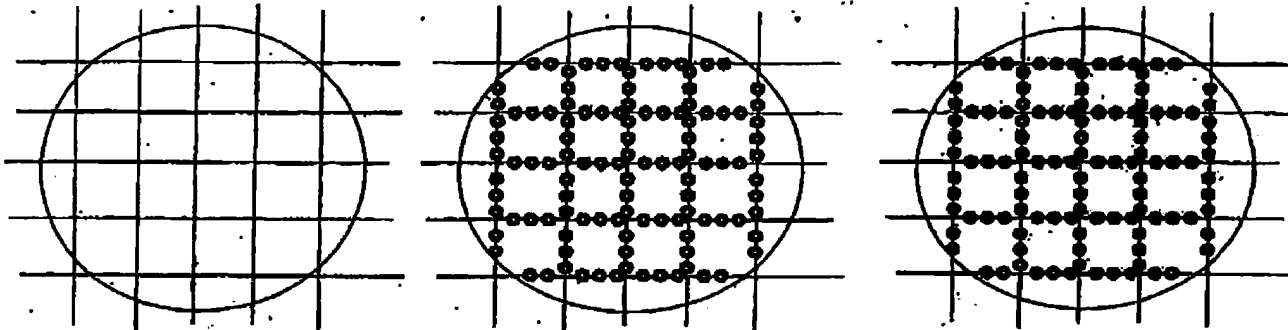


Bild 2:

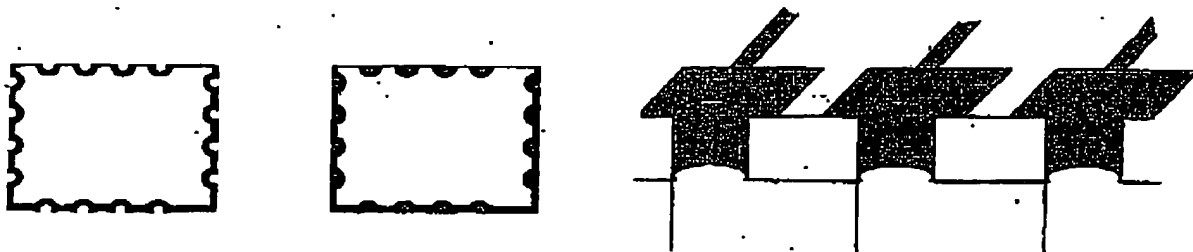
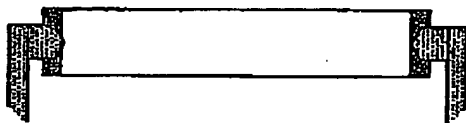


Bild 3:



BEST AVAILABLE COPY

BEST AVAILABLE COPY

Bild 4:

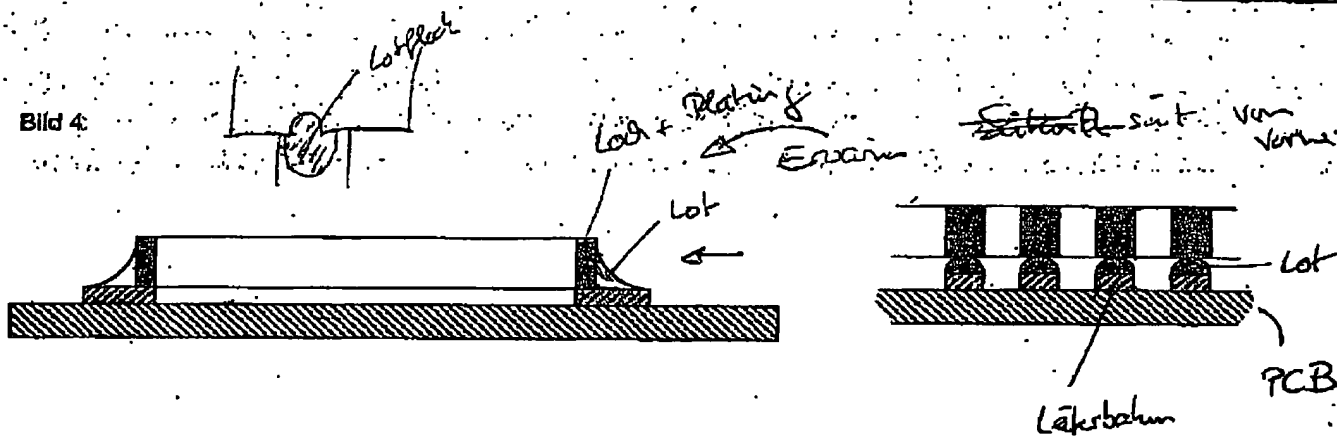
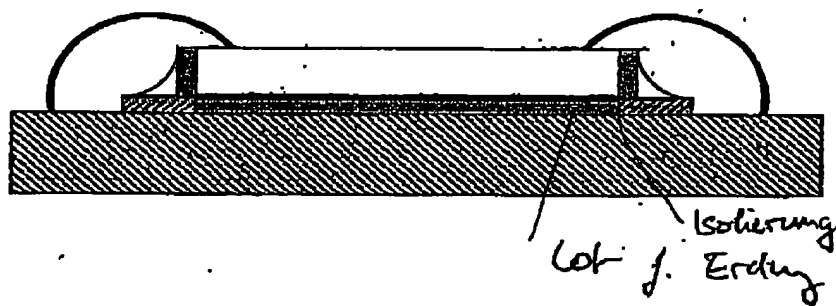
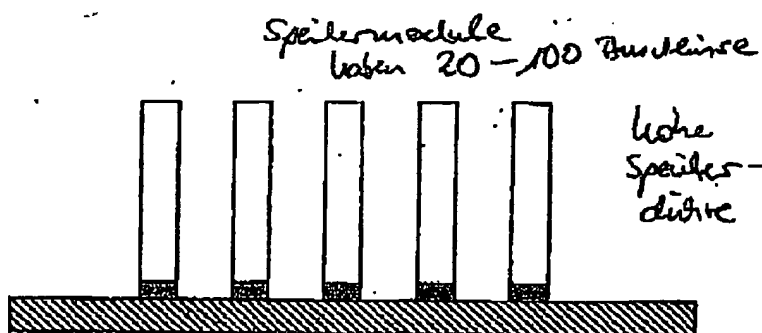
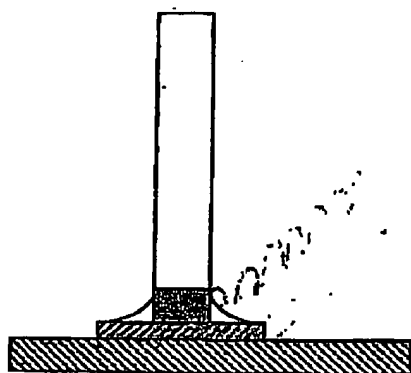


Bild 5:



2 Varianten
a) Lot in Lot
b) Lot auf Lötbahn

Bild 6:

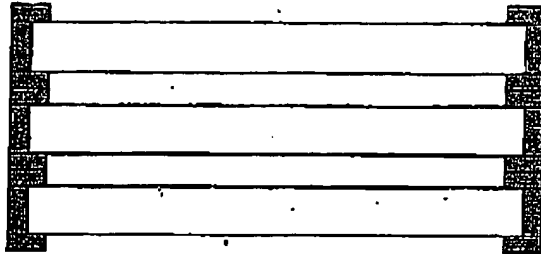


BEST AVAILABLE COPY

Blatt 5/8

Aktenzeichen der GR

Bild.7:



Stacken
bei Spaltenstelle
1-2 Anschlüsse
sind mit
einander verbunden

8. Zur weiteren Erläuterung sind als Anlagen beigefügt:

Blatt der Darstellung eines oder mehrerer Ausführungsbeispiele der Erfindung;
(falls möglich, Zeichnungen im PowerPoint- oder Designer-Format anfertigen)

Blatt zusätzliche Beschreibungen (z.B. Laborberichte, Versuchsprotokolle);

Blatt Literatur, die den Stand der Technik, von dem die Erfindung ausgeht, beschreibt; *)

sonstige Unterlagen (z.B. Disketten, insbesondere mit Zeichnungen der Ausführungsbeispiele);

*) Bitte Fotokopien oder Sondendrucke aller zitierten Veröffentlichungen (Aufsätze vollständig; bei Büchern die relevanten Kapitel) mit vollständigen bibliographischen Daten beifügen.

BEST AVAILABLE COPY

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.